

⑫ 公開特許公報(A) 平4-47835

⑤ Int. Cl.⁵H 04 L 25/03
25/08

識別記号

E
B

庁内整理番号

8226-5K
8226-5K

⑬ 公開 平成4年(1992)2月18日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 雑音裕度補正回路

⑮ 特 願 平2-157343

⑯ 出 願 平2(1990)6月15日

⑰ 発 明 者 樋 口 憲 二 東京都練馬区旭町1丁目32番1号 株式会社アドバンテス
ト内⑱ 出 願 人 株式会社アドバンテス 東京都練馬区旭町1丁目32番1号
ト

⑲ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

雑音裕度補正回路

2. 特許請求の範囲

- (1) 伝送されるデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する半導体デバイスの出力伝送路に接続されて、その出力データの直流的平均値を得る低域通過フィルタと、

この低域通過フィルタの出力電圧に加えるオフセット電圧を得るオフセット電圧源と、

このオフセット電圧源と上記低域通過フィルタの出力端との間に接続された加算回路と、

上記半導体デバイスの出力データが比較入力端子に供給され、上記加算回路の出力電圧が直接またはバッファアンプを介して基準入力端子に供給される電圧比較回路と、

を備える雑音裕度補正回路。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は、GaAsデバイスのように伝送されるデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する半導体デバイスに対して設けられて、その出力データの高レベル値および低レベル値の変化による雑音裕度(ノイズマージン)の低下を補正する雑音裕度補正回路に関する。

「従来の技術」

数100MHz帯ないしGHz帯というような超高速のバターンデータを発生する回路などにおいては、論理デバイスとしてGaAsデバイスが用いられるが、GaAsデバイスは、これを伝送するデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する。すなわち、GaAsデバイスの出力データは、一般に第5図に示すようにマーク率Mが大きくなるほど高レベル値 V_{OH} および低レベル値 V_{OL} が高くなる。

この出力データの高レベル値 V_{OH} および低レベル値 V_{OL} の変化は、次段の論理デバイスにおいて雑音裕度の低下をきたし、誤動作のもとになる。

したがって、GaAsデバイスに対しては、その出力側に、その出力データの高レベル値 V_{OH} および低レベル値 V_{OL} の変化による雑音裕度の低下を補正する回路を設ける必要がある。

第7図は、従来のそのような雑音裕度補正回路で、前段のGaAsデバイス1と後段のGaAsデバイス2との間に周波数特性をもったアッテネータ3が接続されたものである。

上記のようにGaAsデバイスの出力データのマーク率が大きくなるほど出力データの高レベル値および低レベル値が高くなるのは、GaAsデバイスの利得周波数特性が第6図に示すように数10 KHz程度以下の極低域で持ち上がるため、第7図に示す従来の雑音裕度補正回路においては、その前段のGaAsデバイス1の利得周波数特性が補正されるようにアッテネータ3が第8図に示すような低域減衰特性のものにされて前段のGaAsデバイス1の出力データのマーク率の変化による高レベル値および低レベル値の変化が補正され、これにより雑音裕度の低下が補正される。

そこで、この発明は、GaAsデバイスのように伝送されるデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する半導体デバイスに対して設けられて、その出力データの高レベル値および低レベル値の変化による雑音裕度の低下を補正する雑音裕度補正回路において、データ波形のなまりや反射を生じることがないとともに、補正回路を容易に調整することができるようにしたものである。

「課題を解決するための手段」

この発明においては、伝送されるデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する半導体デバイスの出力伝送路に接続されて、その出力データの直流的平均値を得る低域通過フィルタと、この低域通過フィルタの出力電圧に加えるオフセット電圧を得るオフセット電圧源と、このオフセット電圧源と上記低域通過フィルタの出力端との間に接続された加算回路と、上記半導体デバイスの出力データが比較入力端子に供給され、上記加算回路の出力電圧

「発明が解決しようとする課題」

しかしながら、第7図に示した従来の雑音裕度補正回路においては、高速データの伝送路中に補正回路としてのアッテネータ3を直列に挿入するので、そのアッテネータ3を構成するコンデンサなどの部品の特性や実装形態によって伝送路の特性インピーダンスが変化してデータ波形のなまりや反射を生じやすい不都合がある。

また、補正回路としてのアッテネータ3の周波数特性は前段のGaAsデバイス1の利得周波数特性のばらつきに応じて調整する必要があるが、第7図に示した従来の雑音裕度補正回路においては、高速データの伝送路中に補正回路としてのアッテネータ3が直列に挿入され、一般に可変抵抗器は高周波特性が良くないためにアッテネータ3を構成する抵抗器を可変抵抗器にすることができないため、アッテネータ3の周波数特性を調整するにはアッテネータ3を構成する抵抗器やコンデンサを異なる値のものと交換しなければならず、補正回路の調整が容易でない欠点もある。

が直接またはバッファアンプを介して基準入力端子に供給される電圧比較回路とを設ける。

「作用」

上記のように構成された、この発明の雑音裕度補正回路においては、半導体デバイスの出力データのマーク率の変化による高レベル値および低レベル値の変化に追従して加算回路の出力電圧が変化し、オフセット電圧および加算回路を構成する抵抗器の値を選定することによって、半導体デバイスの出力データのマーク率の変化にかかわらず常に電圧比較回路の基準入力電圧が電圧比較回路の比較入力電圧となる半導体デバイスの出力データの高レベル値と低レベル値のちょうど中間の値になり、電圧比較回路における雑音裕度が常に最大値に保持される。

「実施例」

第1図は、この発明の雑音裕度補正回路の一例である。

半導体デバイス10は、具体的にはGaAsデバイスで、その出力データODは、第2図に示すよ

うにマーク率 M が大きくなるほど高レベル値 V_{OH} および低レベル値 V_{OL} が高くなる。ただし、第 3 図に示すように高レベル値 V_{OH} と低レベル値 V_{OL} の差はマーク率 M の変化にかかわらず一定である。

この半導体デバイス 10 の出力伝送路 11 に、出力データ OD の直流的平均値を得るための、抵抗器 21 とコンデンサ 22 からなる低域通過フィルタ 20 が接続され、低域通過フィルタ 20 の出力端に、低域通過フィルタ 20 の出力電圧に加えられるオフセット電圧 V_{OS} が得られるオフセット電圧源 30 が、加算回路 40 を構成する抵抗器 41 を介して接続され、半導体デバイス 10 の出力伝送路 11 が電圧比較回路 50 の比較入力端子に接続され、加算回路 40 の出力端が電圧比較回路 50 の基準入力端子に接続される。 R_1 は、半導体デバイス 10 の出力伝送路 11 の終端抵抗である。

半導体デバイス 10 の出力データ OD のマーク率 M 、すなわち出力データ OD の一定時間内の全ビット数に対する高レベルのビット数の割合は、

1 の値を R_1 および R_2 とすると、電圧比較回路 50 の基準入力電圧 V_{IS} は、

$$\begin{aligned} V_{IS} &= \frac{R_1 \cdot V_{OS} + R_2 \cdot V_{OA}}{R_1 + R_2} \\ &= \frac{R_1}{R_1 + R_2} V_{OS} \\ &\quad + \frac{R_2}{R_1 + R_2} \{ M \cdot V_{OH} + (1 - M) V_{OL} \} \\ &\quad + \frac{R_2}{R_1 + R_2} K (M - 0.5) (V_{OH} - V_{OL}) \\ &= \frac{R_1}{R_1 + R_2} V_{OS} \\ &\quad + \frac{R_2}{R_1 + R_2} \{ V_{OL} - 0.5 K (V_{OH} - V_{OL}) \} \\ &\quad + \frac{R_2}{R_1 + R_2} (1 + K) (V_{OH} - V_{OL}) M \quad \dots (4) \end{aligned}$$

となる。

そして、第 3 図に示すように M の変化にかかわらず常に V_{IS} が V_{OH} と V_{OL} のちょうど中間の値になるようにすれば、すなわち、

0 と 1 の間で変化するが、出力データ OD の特に $M = 0.5$ のときにおける高レベル値および低レベル値を、それぞれ V_H および V_L とすると、一般的に出力データ OD の高レベル値 V_{OH} および低レベル値 V_{OL} は、

$$V_{OH} = V_H + K (M - 0.5) (V_H - V_L) \quad \dots (1)$$

$$V_{OL} = V_L + K (M - 0.5) (V_H - V_L) \quad \dots (2)$$

で表される。ただし、 K は $V_{OH} - V_H$ および $V_{OL} - V_L$ の $M - 0.5$ と $V_H - V_L$ の積に対する割合で、上述したように M が大きくなるほど V_{OH} および V_{OL} が高くなる場合には $K > 0$ である。

出力データ OD の直流的平均値、すなわち半導体デバイス 10 の出力電圧の直流レベルを V_{OA} とすると、出力データ OD の一定時間内の高レベルの時間と低レベルの時間との比は $M : (1 - M)$ であるので、

$$\begin{aligned} V_{OA} &= M \cdot V_{OH} + (1 - M) V_{OL} \\ &= M \cdot V_H + (1 - M) V_L \\ &\quad + K (M - 0.5) (V_H - V_L) \quad \dots (3) \end{aligned}$$

となり、第 1 図に示すように抵抗器 21 および 4

$$V_{IS} = \frac{V_{OH} + V_{OL}}{2} \quad \dots (5)$$

となるようにすれば、電圧比較回路 50 における雑音裕度 V_{NM} を常に最大値 $(V_H - V_L) / 2$ に保持することができる。

したがって、(1)式および(2)式を(5)式に代入すると、

$$\begin{aligned} V_{IS} &= \frac{V_H + V_L}{2} \\ &\quad + K (M - 0.5) (V_H - V_L) \\ &= \frac{V_H + V_L}{2} - 0.5 K (V_H - V_L) \\ &\quad + K (V_H - V_L) M \quad \dots (6) \end{aligned}$$

となり、(4)式と(6)式の M が掛け合わされる項同士が等しいとして、

$$\begin{aligned} &\frac{R_2}{R_1 + R_2} (1 + K) (V_H - V_L) \\ &= K (V_H - V_L) \quad \dots (7) \end{aligned}$$

とおくと、

$$R_2 = K \cdot R_1 \quad \dots (8)$$

となるので、 R_1 と R_2 の関係については R_2 を R_1 の K 倍にすればよい。

また、(4)式と(6)式の M が掛け合わされない項同士が等しいとして、

$$\begin{aligned} & \frac{R_1}{R_1 + R_2} V_{os} \\ & + \frac{R_2}{R_1 + R_2} \{ V_L - 0.5 K (V_H - V_L) \} \\ & = \frac{V_H + V_L}{2} - 0.5 K (V_H - V_L) \quad \dots (9) \end{aligned}$$

とおき、これに(8)式を代入すると、

$$\begin{aligned} & \frac{1}{1+K} V_{os} + \frac{K}{1+K} \{ V_L - 0.5 K (V_H - V_L) \} \\ & = \frac{V_H + V_L}{2} - 0.5 K (V_H - V_L) \quad \dots (10) \end{aligned}$$

となるので、 V_{os} については、

$$V_{os} = \frac{V_H + V_L}{2} \quad \dots (11)$$

にすればよい。

すなわち、第1図の雑音裕度補正回路において

そして、第1図の雑音裕度補正回路においては、低域通過フィルタ20を構成する抵抗器21およびコンデンサ22やオフセット電圧源30や加算回路40を構成する抵抗器41が半導体デバイス10の出力伝送路11中に直列に挿入されないで、これら部品の特性や実装形態によって出力伝送路11の特性インピーダンスが変化してデータ波形のなまりや反射を生じることがないとともに、この出力伝送路11中に直列に接続されずに高周波特性が問題とならず、出力伝送路11に対して離れた場所に置くことができるオフセット電圧源30および抵抗器41を図示するように可変電圧源および可変抵抗器としてオフセット電圧 V_{os} および抵抗値 R_2 を調節することによって電圧比較回路50における雑音裕度 V_{NM} が常に最大値 $(V_H - V_L) / 2$ に保持されるので、補正回路の調整が容易になる。

第4図は、この発明の雑音裕度補正回路の他の例で、電圧比較回路50の基準入力端子の入力インピーダンスが低い場合において、加算回路40

は、抵抗器21および41の値 R_1 および R_2 が(8)式の関係に定められ、かつオフセット電圧 V_{os} が(10)式のように定められることによって、半導体デバイス10の出力データODのマーク率 M の変化にかかわらず常に電圧比較回路50の基準入力電圧 V_{in} が電圧比較回路50の比較入力電圧となる半導体デバイス10の出力データODの高レベル値 V_{oH} と低レベル値 V_{oL} のちょうど中間の値になって電圧比較回路50における雑音裕度 V_{NM} が最大値 $(V_H - V_L) / 2$ に保持される。

なお、低域通過フィルタ20のコンデンサ22の容量 C は、

$$\tau = \frac{R_1 \cdot R_2}{R_1 + R_2} C \quad \dots (12)$$

なる時定数によって決まる低域通過フィルタ20のカットオフ周波数、

$$f_c = \frac{1}{2\pi\tau} \quad \dots (13)$$

が出力データODの最低周波数より低くなるような値に選定されればよい。

の出力端と電圧比較回路50の基準入力端子との間に利得が1のバッファアンプ60が挿入された場合である。

また、第4図の例において、バッファアンプ60の利得が1以外にされ、その利得に応じて抵抗値 R_1 、 R_2 およびオフセット電圧 V_{os} が選定されてもよい。

「発明の効果」

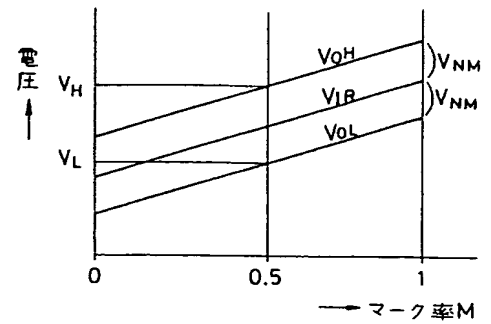
上述したように、この発明によれば、G.A. デバイスのように伝送されるデータのマーク率の変化によって出力データの高レベル値および低レベル値が変化する半導体デバイスに対して設けられて、その出力データの高レベル値および低レベル値の変化による雑音裕度の低下を補正する雑音裕度補正回路において、データ波形のなまりや反射を生じることがないとともに、補正回路を容易に調整することができる。

4. 図面の簡単な説明

第1図は、この発明の雑音裕度補正回路の一例を示す接続図、第2図および第3図は、その半導

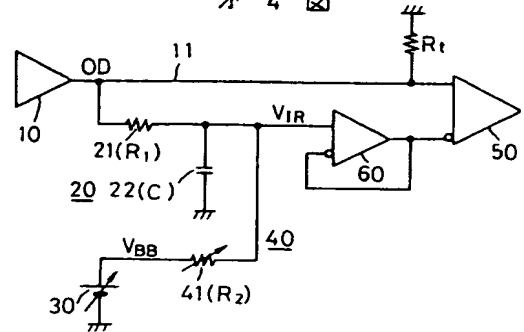
体デバイスの出力データのマーク率の変化による高レベル値および低レベル値の変化と電圧比較回路の基準入力電圧の変化を示す図、第4図は、この発明の雑音裕度補正回路の他の例を示す接続図、第5図は、G.A.デバイスの出力データのマーク率の変化による高レベル値および低レベル値の変化を示す図、第6図は、G.A.デバイスの利得周波数特性を示す図、第7図は、従来の雑音裕度補正回路を示す接続図、第8図は、そのアッテネータの周波数特性を示す図である。

オ 3 図

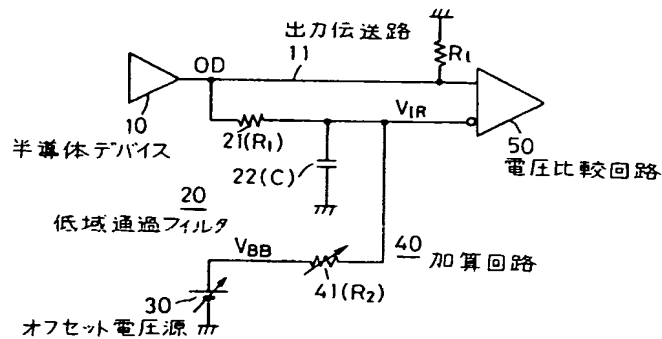


特許出願人 株式会社アドバンテスト
代理人 草野 卓

オ 4 図



オ 1 図



オ 2 図

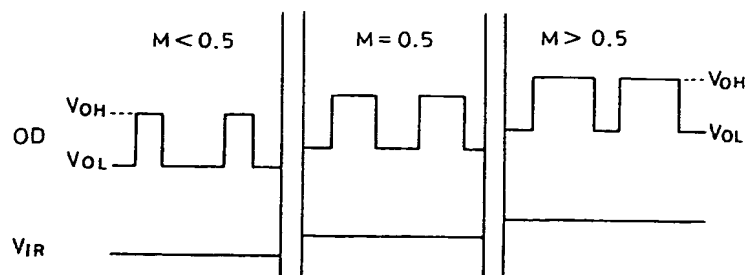


図 5

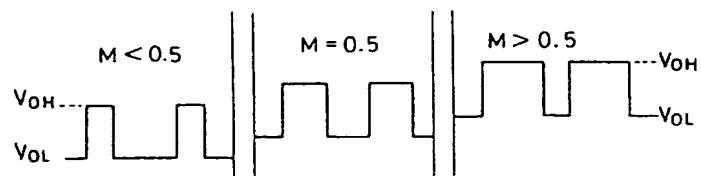


図 6

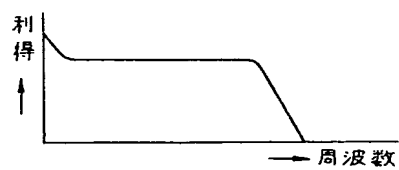


図 7

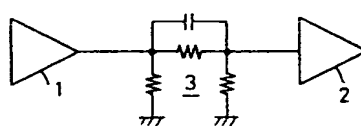


図 8

